

## 第 3 章 EDA 技术

在传统的接口设计中,根据逻辑电路选用商品化的集成电路作为实现电路的基本器件,焊接在电路板上。一般电路板是采用计算机软件设计的,画逻辑电路和印制电路板图的软件就属于本章将要学习的 EDA 技术。然而 EDA 技术所能实现的功能不仅如此,它可以将多块商品化的集成电路集成在一起,做成一块专有集成电路芯片,也能用计算机模拟代替真实的试验电路,并在短时间内完成传统设计方法需要很长时间才能完成的设计过程。

### 3.1 电子系统设计发展概况

近年来,集成电路和 EDA 技术的飞速发展,大大推动了电子技术的发展,也带来了电子系统设计方法的不断变革。本节从 EDA 技术发展、EDA 技术的优点、EDA 软件、硬件描述语言等几个方面介绍电子系统设计的基本概况。

#### 3.1.1 EDA 技术发展概况

电子设计自动化(electronic design automation,EDA)技术以计算机为工具,代替人工完成数字系统的逻辑综合、布局布线和设计仿真等工作,是一门以计算机和微电子技术为先导,汇集了计算机图形学、拓扑学、逻辑学、微电子工艺与结构学以及计算数学等多种计算机应用学科最新成果的先进技术。

电路理论和半导体工艺水平的提高对 EDA 技术的发展起了巨大的推动作用,使 EDA 所涉及的范围从 PCB 板设计延伸到集成电路设计,直至整个系统的设计。EDA 技术也使 IC 芯片系统应用、电路制作和整个电子系统生产过程都集成在一个环境里,模糊了 IC 芯片和电子系统设计之间的不同。

从表面看,EDA 技术属于电子技术。但是,由于 EDA 技术是基于计算机,以计算机为工具,代替人工完成数字系统的逻辑综合、布局布线和设计仿真等工作,显然,EDA 技术属于计算机应用范畴。另外,计算机硬件系统本身也是电子系统,因此 EDA 技术也跨越到计算机技术。

回顾近 30 年电子设计技术的发展历程,可将 EDA 技术的发展进程大致划分为 3 个发展阶段。

##### (1) 20 世纪 70 年代至 80 年代初期

这个阶段是计算机辅助设计(computer aided design,CAD)阶段。此时受计算机的运行速度、

存储量和图形功能等方面的限制,以及技术刚刚起步,没有形成系统,仅是一些孤立的软件程序。在此阶段主要是开发了一些计算机辅助设计的工具软件,主要有 PCB 布线设计、电路模拟、逻辑模拟以及电路图绘制等。这些计算机辅助设计的工具软件帮助电子工程、计算机电路设计人员从大量烦琐重复的计算和绘图工作中解脱出来。

### (2) 20 世纪 80 年代后期

这个阶段是计算机辅助工程(computer aided engineering, CAE)阶段。在这个阶段,由于采用了基于单元库的半定制设计方法,门阵列和标准设计单元的各种专用集成电路(application specific integrated circuit, ASIC)得到了极大的发展,集成电路工业进入到 ASIC 时代。这一阶段开发的 EDA 系统具有图形界面且直观友好,输入形式多样,可以用电路原理图的形式输入,以图形菜单的方式选择各种仿真工具和不同的模拟功能。开发的许多系统中都集成了 PCB 自动布局布线软件以及噪声、热特性、可靠性等分析软件,进而实现了电子系统设计自动化。

### (3) 20 世纪 90 年代至今

这个阶段称为电子设计自动化(EDA)阶段。这个阶段代表性的成果是以高级语言描述、系统仿真和综合技术为特征的第三代 EDA 技术。这些成果有效地提高了系统的设计效率,而且使设计人员摆脱了较为烦琐的大量的辅助性和基础性工作,将精力集中在设计工作的构思上。

## 3.1.2 EDA 技术的优点

EDA 技术的优点可以归纳如下。

### (1) 有利于缩短设计周期,提高效率

采用 EDA 技术,用计算机模拟代替真实的试验电路,借助计算机运算速度高的特点,使得 EDA 工具能在短时间内完成传统设计方法需要很长时间才能完成的反复设计过程,大大降低了设计方案验证阶段的工作量。一些自动化设计软件的出现也加速了设计进程。如有些软件在进行电路性能设计时,可以事先预估它的生产合格率;而在设计电路板时,也有不少具有自动布局布线和后处理功能的印制电路板设计软件可供选用,利用这些印制电路板设计软件工具,人们从烦琐的纯手工布线中解放出来,这无疑缩短了设计周期。

### (2) 设计费用降低

用真实元件搭建试验电路比计算机仿真方法所用费用高、效率低。用计算机来模拟验证试验样机以及批量试投产等设计过程,大大节约了原材料、仪器设备和人力资源。EDA 软件工具可对设计结果进行设计规则检验、可测性分析、故障模拟以及过压、过载报警等极限条件检验,减少了设计错误和返工所造成的浪费,降低了成本,提高了产品的经济效益。

### (3) 设计质量高

传统的手工设计方法采用简化电路及元器件模型进行电路特性的估算,通过搭建试验电路板的方法进行验证,较难进行多方案的比较,更难以进行灵敏度分析、成品率模拟、最坏情况分析和优化设计等。EDA 技术可以采用更为精确和更接近实际的电路模型和元器件模型,并备有通用元器件的模型参数库,从而避免在传统设计方法中因仪器仪表接入而引起的各种接入误差,在

节省设计费用的同时提高了设计质量。

#### (4) 数据处理能力强

由于计算机具有存储量大、数据处理能力强等特点,在完成电路设计任务后,可以很方便地生成各种需要的数据文件和报表文件。成熟的单元设计及各种模型和模型参数均存放在数据库文件中,用户可直接分享这些设计资源,对数据库内容进行修改或增添新内容后,就可以立即方便地使用这些最新的结果。

#### (5) 操作简便

使用 EDA 软件后,设计人员只需操作计算机屏幕,而不用再同各种仪器设备、元器件打交道。设计者惯用的仪器,如示波器、频谱仪、逻辑分析仪、网络分析仪、扫描仪和通用测量仪等都可以用 EDA 软件来仿真实现。设计者可以对屏幕上的多个窗口同时进行操作,并且各个窗口之间可以实现数据共享,从而使设计人员从烦琐的计算、查表、绘制曲线等辅助性事务中解放出来,将更多的精力投入到设计方案中去。

### 3.1.3 EDA 软件现状

从整体上划分,EDA 软件可以分为芯片级设计软件和系统级设计软件两大类。

#### (1) 芯片级设计

众所周知,芯片级设计是高技术、高投入、高风险、高回报的行业。它要求从事芯片设计的企业必须具有雄厚的技术资本和资金资本,并且要求企业在这一领域长期开拓和积累经验。目前,这类企业主要是以美国的一些大公司为代表,如 Intel、TI 等公司。可以说,谁掌握着芯片设计的主动权,谁就会主导和影响整个世界电子工业和信息产业的发展。

#### (2) 系统级设计

系统级设计是同工业化生产密切相关的行业,它是以现有的各类芯片,按照市场需求或目标需求开发和生产电子整机产品。与芯片设计行业相比,系统级设计和生产的规模可大可小,所需的技术和资金也比芯片设计少得多。

现有的 EDA 软件功能强大,在系统级设计的各个阶段都为设计者提供了全过程的设计仿真支持,并将仿真所需的工具和数据集成于一个统一的环境中,其中包括交互式的人机界面、智能化的仿真模型构造器、自动程序生成器、图形化的分析验证工具、仿真数据和文件管理工具等。此外,EDA 工具提供了丰富的设计库作为设计支持,设计者可以利用库内已有的模块构造出所设计系统的大体框图。EDA 技术的系统设计思想以及模块化、集成化、标准化的设计风格已逐步被广泛地采用和推广,并且影响着各个领域设计手段的更新。

在选择系统建模与仿真研究的主体平台 EDA 工具软件的时候,主要应考虑几个因素:所选择的 EDA 工具是否具有开放的结构特性;是否具有处理复杂系统的能力;是否与其他使用较广的 EDA 工具之间有可行的接口方法。全球著名的 EDA 厂商如 Cadence、Synopsys、Mentor 等公司都推出了功能强大的系统设计与仿真工具,如 Cadence 公司的 SPW、Synopsys 公司的 COSSAP 和 Mentor 公司的 DSP Station。

当今主要的 EDA 系统都建立了框架结构,EDA 系统框架结构是一套配置和使用 EDA 软件包的规范,如 Cadence 公司的 Design Framework、Mentor 公司的 Falcon Framework。而且这些框架结构都遵循国际 CFI(CAD Framework Initiative)组织制定的统一技术标准。框架结构能将来自不同 EDA 厂商的工具软件进行优化组合,集成在一个易于管理的统一的环境之下,而且还支持任务之间、设计者之间以及整个产品开发过程中信息的传输与共享,是并行工程和自上而下设计方法的实现基础。

目前使用的 EDA 工具品种繁多功能各异,各种工具差别也很大。如在 PCB 设计子系统中,最具代表性的 3 种 EDA 工具为:Windows 平台的 Protel(国内最为流行,具有很高的行业普及率)、UNIX 平台的 Cadence、Mentor(世界排名第一、第二的 EDA 软件,国外行业普及率 80% 以上)。如 Protel 和 Mentor 都可以用来进行 PCB 设计,而它们进行 PCB 设计的能力上还是存在一些差异。例如:Protel 最多允许设计 8 层板,而 Mentor 可达到 32 层,而且 Mentor 的输出接口丰富,它可以输出多种生产设备所接受的数据,可提供分析与验证的能力也大大超过了 Protel,如对 PCB 设计的电磁兼容性分析(EMC)、串扰分析等。Mentor 还可以提供 PCB 设计的反标注(back annotation)功能,使布局布线过程中的变化直接反应在原理图中。所有这些优越的功能使得设计的可靠性大大增强,设计周期大大缩短。设计者当然希望已经用 Protel 进行的成熟设计可以被 Mentor 接受,这样既可以继承以前的成果,又可以利用高效的工具改善设计性能。由此可见,各种 EDA 工具具有各自的优势,但是互相之间的设计文件和产品数据很难做到有机共享。随着创新电子设计复杂度的激增以及日益改善的宽带网络平台,同一设计任务的前后之间、设计和制造的前后之间、不同子系统模块之间需要不同专长的技术团队在可能异构的平台上全方位协作开发。因此,如何整合多种 EDA 软件,使高端的设计工具兼容低端的设计工具,实现跨地域的最优配置和资源增值,是 EDA 软件未来发展的主要方向。

### 3.1.4 硬件描述语言

硬件描述语言(hardware description language, HDL)是一种用形式化方法来描述数字电路和设计数字逻辑系统的语言。它可以使数字逻辑电路设计者利用这种语言来描述自己的设计思想,然后利用 EDA 工具进行仿真,再自动综合到门级电路,最后用 ASIC 或 FPGA 实现其功能。

Verilog HDL 是硬件描述语言的一种,用于数字电子系统设计。它允许设计者用它来进行多级别的逻辑设计,可以用它进行数字逻辑系统的仿真验证、时序分析、逻辑综合。它是目前应用广泛的一种硬件描述语言。

Verilog HDL 是在 1983 年由 GDA(GateWay Design Automation)公司的 Phil Moorby 首创的。Phil Moorby 后来成为 Verilog - XL 的主要设计者和 Cadence(Cadence Design System)公司的第一个合伙人。在 1984 ~ 1985 年, Moorby 设计出了第一个关于 Verilog - XL 的仿真器,1986 年,他对 Verilog HDL 的发展又作出了另一个巨大贡献;即提出了用于快速门级仿真的 XL 算法。随着 Verilog - XL 算法的成功,Verilog HDL 语言得到迅速发展。1989 年, Cadence 公司收购了 GDA 公司, Verilog HDL 语言成为 Cadence 公司的私有财产。1990 年, Cadence 公司决定公开 Verilog

HDL 语言,于是成立了 OVI(Open Verilog International)组织来负责 Verilog HDL 语言的发展。基于 Verilog HDL 的优越性,IEEE 于 1995 年制定了 Verilog HDL 的 IEEE 标准,即 Verilog HDL1364—1995。

Verilog HDL 的标准化大大加快了 Verilog HDL 的推广和发展。由于 Verilog HDL 设计方法的与工艺无关性,大大提高了 Verilog HDL 模型的可重用性。在这里把功能经过验证的、可综合的、实现后电路结构总门数在 5 000 门以上的 Verilog HDL 模型称为“软核”(soft core),而把由软核构成的器件称为虚拟器件。在新电路的研制过程中,软核和虚拟器件可以很容易地借助 EDA 综合工具与其他外部逻辑结合为一体。这样,利用软核和虚拟器件的重用性就可大大缩短设计周期,加快了复杂电路的设计。把在某一种现场可编程门阵列(FPGA)器件上实现的,经验证是正确的总门数在 5 000 门以上电路结构编码文件,称为“固核”;把在某一种专用半导体集成电路工艺的(ASIC)器件上实现的经验证是正确的总门数在 5 000 门以上的电路结构掩模,称为“硬核”。显而易见,在具体实现手段和工艺技术尚未确定的逻辑设计阶段,软核具有最大的灵活性,它可以很容易地借助 EDA 综合工具与其他外部逻辑结合为一体。当然,由于实现技术的不确定性,有可能要作一些改动以适应相应的工艺。相比之下固核和硬核与其他外部逻辑结合为一体的灵活性要差得多,特别是电路实现工艺技术改变时更是如此。近年来电路实现工艺技术的发展相当迅速,为了逻辑电路设计成果的积累,更快更好地设计更大规模的电路,发展软核的设计和推广软核的重用技术是非常有必要的。

## 3.2 传统系统硬件电路设计方法

所谓传统的硬件电路设计方法是指在 EDA 技术出现之前的设计方法。在 EDA 技术出现之前,系统设计人员采用传统的硬件电路设计方法来设计电子系统。传统的硬件电路采用自底而上(bottom up)的设计方法。在这里的“自底而上”指设计从底层的具体电路开始,逐步实现直到高层的电子系统。其主要步骤是:根据系统对硬件的要求,详细编制技术规格书,并画出系统控制流程图;然后,根据技术规格书和系统控制流程图,对系统的功能进行分化,合理地划分功能模块,并画出系统功能框图;此后进行各功能模块的细化和电路设计;各功能模块电路设计调试完毕之后,将各功能模块的硬件电路连接起来,再进行系统的调试,如有问题则进行局部修改,直至系统调试完毕;最后完成整个系统的硬件电路设计。

从上述过程可以看出,系统硬件的设计是从选择具体逻辑元器件开始的,并用这些元器件进行逻辑电路设计,完成系统各独立功能模块的设计,然后再将各功能模块连接起来,完成整个系统的硬件设计。上述过程从最底层设计开始,到最高层设计完毕,因此将这种设计方法称为自底而上的设计方法。

传统的自底而上的硬件电路设计方法具有以下主要特点:

① 采用通用的逻辑元器件。设计者根据需要,选择市场上能买得到的元器件(如 54/74 系

列)来构成所需的逻辑电路。设计工程师必须对所选器件的内部结构和外部引线特点非常熟悉才能达到设计要求。随着微处理器的出现,系统的部分硬件电路功能可以用软件来实现,在很大程度上简化了系统硬件电路的设计。但是,选择通用的元器件来构成系统硬件电路的方法并未改变。这种传统的方法与 EDA 技术相比是低水平的,大大延长了设计周期。

② 在系统硬件设计的后期进行仿真和调试。系统硬件设计完成以后才能进行仿真和调试,进行仿真和调试的仪器一般为系统仿真器、逻辑分析仪和示波器。由于系统设计时存在的问题只有在后期才能较容易发现,一旦考虑不周,系统设计存在缺陷,就得重新设计系统,使得设计费用和设计周期大大增加。

③ 主要设计文件是电路原理图。在设计调试完毕后,形成的硬件设计文件主要由电路原理图构成。在电路原理图中详细标注了各逻辑元器件的名称和相互间的连接关系。这些电路原理图是用户使用和维护系统的依据。当系统比较庞大时,大量的电路原理图给归档、阅读、修改和使用都带来了极大的不便。

随着计算机技术和大规模集成电路技术的发展,传统的自底而上的硬件电路设计方法已经落后于当今技术的发展。一种崭新的自顶而下的设计方法已经兴起,它为硬件电路设计带来了一次重大的变革。

### 3.3 EDA 硬件电路设计方法

20 世纪 80 年代初,在硬件电路设计中开始采用 CAD 技术,那时仅仅是利用计算机软件来实现印制电路板的布线,然后逐渐实现了插件板级规模的电子电路的设计和仿真。它们的出现使得电子电路设计和印制电路板布线工艺实现了自动化。随着电子设计技术的飞速发展,专用集成电路(ASIC)和用户现场可编程门阵列(FPGA)的复杂度越来越高。数字通信、工业自动化控制等领域所用的数字电路及系统的复杂程度也越来越高,特别是需要设计具有实时处理能力的信号处理专用集成电路,并把整个电子系统综合到一个芯片上。设计并验证这样复杂的电路及系统已不再是简单的个人劳动,而需要综合许多专家的经验 and 知识才能够完成。由于电路制造工艺技术进步非常迅速,电路设计能力落后于技术的进步。

在数字逻辑设计领域,为了提高开发的效率和增加已有开发成果的可继承性,也为了缩短开发时间,迫切需要一种共同的工业标准来统一对数字逻辑电路及系统的描述。这样就可以把系统设计工作分解为逻辑设计(前端)和电路实现(后端)两个互相独立而又相关的部分。由于逻辑设计的相对独立性,为此可以把专家们设计的各种常用数字逻辑电路和系统部件(如 FFT 算法、DCT 算法部件)建成宏单元(megcell)或软核(soft-core)库供设计者引用,以减少重复劳动,提高工作效率。电路的实现则可借助于综合工具和布局布线工具(与具体工艺技术有关)来自动地完成。VHDL 和 Verilog HDL 这两种硬件描述语言工业标准的产生顺应了历史的潮流,因而得到了迅速的发展。同时,各种新兴的 EDA 开发工具开始出现,使得传统的硬件电路设计方法发

生了重大改变。

EDA 是一种实现电子系统或电子产品自动化设计的技术,它与电子技术、微电子技术的发展密切相关,吸收了计算机科学领域的大多数最新研究成果,以高性能的计算机为工作平台,是从 CAD(计算机辅助设计)、CAM(计算机辅助制造)、CAT(计算机辅助测试)和 CAE(计算机辅助工程)的概念发展而来的。准确地说,EDA 是指以计算机为工作平台,融合了电子技术、计算机技术、智能化技术最新成果而研制成的电子 CAD 通用软件包,主要能辅助进行三方面的设计工作:IC 设计、电子电路设计以及印制电路板设计。EDA 的主要特征是:

① 并行工程。它是将电子产品及相关制造直至销售、维护全过程统一进行设计的一种方法,其核心是产品设计对象的全面可预见性。

② 自上而下设计。在设计新产品与系统时,采用概念驱动和规则驱动,从高层次的系统级设计入手,包括方案设计与验证、电路与印制设计直到底层的 ASIC 版图设计都由系统与电路工程师采用 CAD 手段来完成,从而实现设计、测试、工艺的一体化。

### 3.4 自顶向下的设计流程

本节简要介绍硬件描述语言(Verilog HDL)自顶而下的设计流程。

现代集成电路制造工艺技术的改进,使得在一个芯片上集成数十乃至数百万个器件成为可能,但很难设想仅由一名设计师独立设计如此大规模的电路而不出现错误。EDA 技术采用层次化、结构化的所谓自顶而下(top down)的设计方法。首先由总设计师把一个完整的硬件设计任务划分为若干个可操作的模块,编制出相应的模型(行为的或结构的),通过仿真加以验证后,再把这些模块分配给下一层的设计师,这就允许多名设计者同时设计一个硬件系统中的不同模块,其中每个设计者负责自己所承担的部分,而由上一层设计师对其下层设计者完成的设计使用行为级上层模块进行验证。图 3.1 为自顶向下的示意图,以设计树的形式绘出。

自顶向下的设计开始于系统级,把系统划分为基本单元,然后再把每个基本单元划分为下一

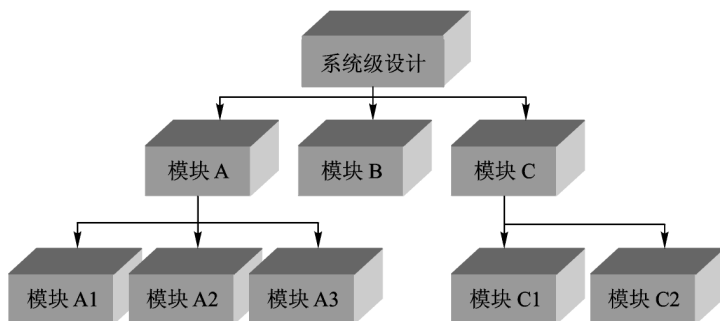


图 3.1 自顶向下的设计

层次的基本单元,一直这样做下去,直到可以直接用 EDA 元件库中的元件来实现为止。对于设计开发整机电子产品的单位和个人来说,新产品的开发总是从系统设计入手,先进行方案的总体论证、功能描述、任务和指标的分配。随着系统变得复杂和庞大,特别需要在样机问世之前,对产品的全貌有一定的预见性。目前,EDA 技术的发展使得设计师有可能实现真正的自顶向下的设计。

复杂数字逻辑电路和系统的层次化、结构化设计隐含着硬件设计方案的逐次分解。在设计过程的任意层次中,硬件至少有一种描述形式。硬件的描述特别是行为描述通常称为行为建模。在集成电路设计的每一层次,硬件可以分为一些模块,该层次的硬件结构由这些模块的互连描述,该层次的硬件行为由这些模块的行为来描述。这些模块称为该层次的基本单元。而该层次的基本单元又由下一层次的基本单元互连而成。这样完整的硬件设计就可以用设计树描述。在这棵设计树上,节点对应着该层次上基本单元的行为描述,树枝对应着基本单元的结构分解。在不同的层次都可以进行仿真以便对设计思想进行验证。EDA 工具提供了有效的手段来管理错综复杂的层次,即可以很方便地查看某一层次某一模块的源代码或电路图以改正仿真时发现的错误。

在不同的层次作具体模块的设计所用的方法可能有所不同,在高层次上往往编写一些行为级模块,通过仿真来加以验证,其主要目的是考虑系统总体性能和各模块的指标分配,并非具体电路的实现,因而往往不需要综合及其以后的步骤。而当设计的层次比较接近底层时行为描述往往需要用电路逻辑来实现,这时的模块不仅需要通过仿真加以验证,还需进行综合、优化、布线和后仿真。总之,具体电路是从底向上逐步实现的。EDA 工具往往既支持 HDL 描述又支持电路图输入,灵活有效地使用 HDL 描述和电路图输入这两种方法可以提高设计效率。流程图 3.2 简要地说明了模块的编译和测试过程。

从图 3.2 可以看出,对系统硬件电路的自顶而下的设计一般分为 3 个层次。

第一层次是行为级描述,它是对整个系统数学模型的描述。一般来说,对系统进行行为描述的目的在于试图在系统设计的初始阶段,通过对系统行为模型的仿真来发现系统设计中存在的问题。在行为描述阶段,并不真正考虑其实际的操作和算法用什么方法来实现,考虑更多的是系统的结构及其工作过程是否能达到系统设计规格书的要求,其设计与器件工艺无关。

第二层次是寄存器传输级描述(RTL,又称数据流描述)。用第一层次行为描述的系统结构程序很难直接映射到具体逻辑元件结构,要想得到硬件的具体实现,必须将行为方式描述的 HDL 程序,针对某一特定的逻辑综合工具,采用 RTL 方式描述,再用仿真工具对 RTL 方式描述的程序进行仿真。如果仿真通过,就可以利用逻辑综合工具进行综合了。在这一层次,也可以采用传统的电路图输入方式,但必须进行相应的电路功能仿真。

第三层次是逻辑综合。利用逻辑综合工具,可将 RTL 方式描述的程序或者电路图设计输入文件转换成用基本逻辑元件表示的文件(门级网络表),也可将综合结果以逻辑原理图方式输出,也就是说逻辑综合结果相当于在人工设计硬件电路时,根据系统要求画出了系统的逻辑电路原理图,然后再对逻辑综合结果在门电路级上进行仿真,并检查定时关系。如果一切正常,那么

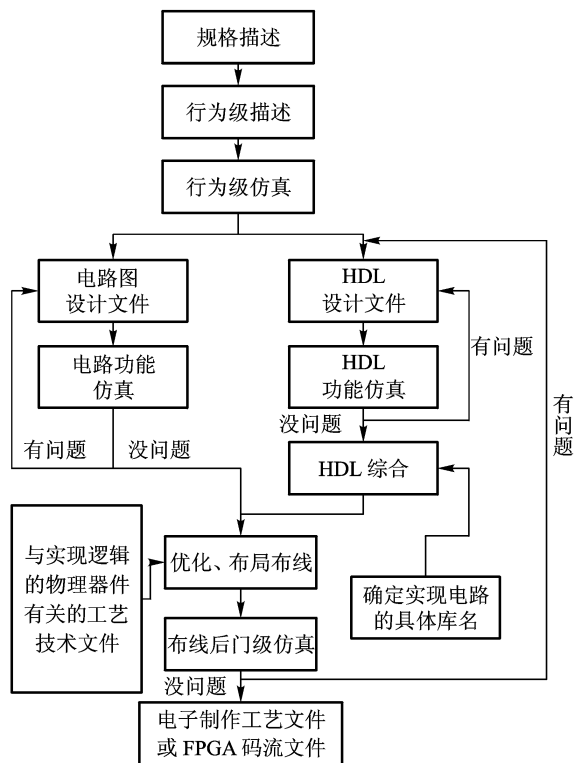


图 3.2 HDL 设计流程图

系统的硬件设计基本结束,如果在某一层上仿真发现问题,就应该返回上一层,寻找和修改相应的错误,然后继续向下做未完成的工作。

由逻辑综合工具产生门级网络表后,在最终完成硬件设计时,还可以有两种选择:一种是由自动布线程序将网络表转换成相应的 ASIC 芯片的制造工艺,定制 ASIC 芯片;第二种是将网络表转换成相应的 PLD 编程码点,利用 PLD 完成硬件电路的设计。

### 3.5 小 结

EDA 技术是计算机应用技术的一个方面,它以计算机为工具,代替人工完成数字系统的逻辑综合、布局布线和设计仿真等工作,是一门以计算机和微电子技术为先导,汇集了计算机图形学、拓扑学、逻辑学、微电子工艺与结构学以及计算数学等多种计算机应用学科的先进技术。

EDA 技术实现了使用计算机完成数字系统设计和仿真验证的过程,为计算机硬件系统设计,特别是为用户设计系统提供便利的设计环境。从事计算机硬件或数字电路设计专业的学生

应该掌握有关 EDA 技术的使用,而计算机应用技术专业的学生应该了解计算机技术是如何应用到电子电路设计中。

本章简要介绍了 EDA 技术、EDA 硬件电路设计方法、硬件描述语言(Verilog HDL)、自顶而下的设计流程等有关知识,为后续章节的学习做了简单的知识铺垫。

## 问题

1. 通过查询有关资料,给出下列英文缩写的详细解释:EDA、CAD、CAM、CAT、CAE 和 PCB。
2. 为什么说 EDA 技术的发展使得设计师有可能实现真正的自顶向下的设计?

## 练习

1. 试用 EDA 工具画出一个简单电路板的 PCB 设计图。
2. 利用传统的自底而上的硬件电路设计方法设计一个最简单的语音板卡。要求:语音板卡输入可接收麦克风的输入,语音板卡可插入计算机 I/O 扩展槽(IAS),采样数据 8 b,采样频率 8 kHz。写出设计报告,包括逻辑图、选择器件的理由、设计过程以及依据等。